

Docket No.: 4459-140



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Su TAO et al. : Confirmation No. 4798
U.S. Patent Application No. 10/791,896 : Group Art Unit: 2813
Filed: March 4, 2004 : Examiner: JENNIFER M DOLAN
For: SEMICONDUCTOR CHIP PACKAGE AND METHOD FOR MANUFACTURING THE
SAME

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

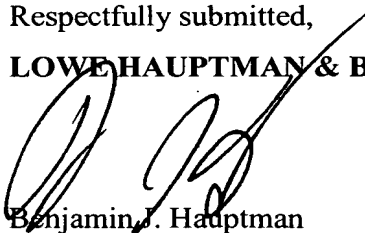
Sir:

At the time the above application was filed, priority was claimed based on the following application(s):

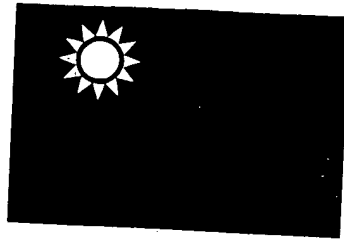
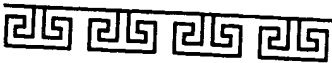
China Application No. 092104882, filed March 5, 2003.

A copy of the priority application is enclosed.

Respectfully submitted,
LOWE HAUPTMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 300
Alexandria, Virginia 22314
(703) 684-1111
(703) 518-5499 Facsimile
Date: June 15, 2006
BJH/ayw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請日：西元 2003 年 03 月 05 日
Application Date

申請案號：092104882
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

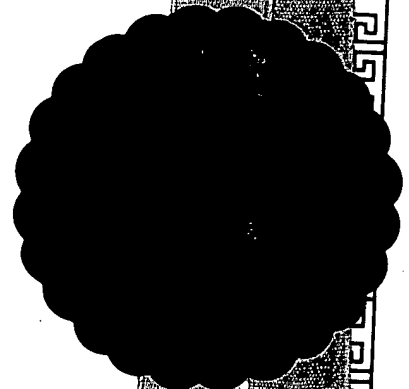
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2003 年 4 月 17 日
Issue Date

發文字號：09220378690
Serial No.



申請日期：

IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體晶片封裝構造及其製造方法
	英文	SEMICONDUCTOR CHIP PACKAGE AND METHOD FOR MANUFACTURING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 陶恕 2. 李士璋
	姓名 (英文)	1. Su TAO 2. Shih Chang LEE
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 高雄市左營區崇實新村72-2號 2. 高雄縣大社鄉民治路43號
	住居所 (英文)	1. No. 72-2, Chorng-Shyr New Village, Tso Ying District, Kaohsiung, Taiwan 2. No. 43, Minj Rd., Dashe Shiang, Kaohsiung County, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R. O. C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chian Seng CHANG

四、中文發明摘要 (發明名稱：半導體晶片封裝構造及其製造方法)

一種半導體晶片封裝構造，其主要包含一連接基板、一中央基板、一外圍基板以及一半導體晶片夾設於該連接基板以及該中央基板之間。該連接基板具有一凹槽用以容納該半導體晶片。本發明之主要特徵在於該外圍基板係與該中央基板分離，藉此減低因該半導體晶片封裝構造之熱膨脹係數不一致而產生之應力對該封裝構造之影響。此外，該中央基板與該外圍基板皆與該連接基板機械以及電性連接，因此該半導體晶片可經由該中央基板以及該連接基板電性連接到該外圍基板。本發明另提供一種製造該半導體晶片封裝構造的方法。

伍、(一)、本案代表圖為：第___1_____圖

(二)、本案代表圖之元件代表符號簡單說明：

100 半導體晶片封裝構造

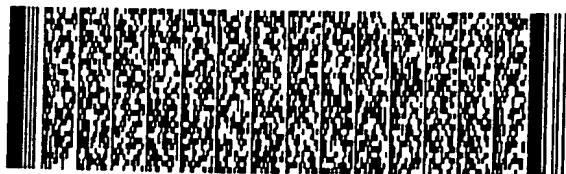
102 連接基板

104 中央基板

105 錫球

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR CHIP PACKAGE AND METHOD FOR MANUFACTURING THE SAME)

A semiconductor chip package mainly comprises an interconnection substrate, a central substrate, a peripheral substrate and a semiconductor chip interposed between the interconnection substrate and the central substrate. The interconnection substrate has a recessed cavity for receiving the semiconductor chip. The present invention is characterized by that the peripheral substrate is



四、中文發明摘要 (發明名稱：半導體晶片封裝構造及其製造方法)

106	外圍基板	107	錫球
108	半導體晶片	110	凹槽
112	接墊	114	頂板
116	介電層	118	接墊
120	接墊	122	接墊
124	錫球	126	膠層
128	小錫球	130	金屬板
132	不導電膠	502	底層填料

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR CHIP PACKAGE AND METHOD FOR MANUFACTURING THE SAME)

separated from the central substrate thereby decreasing the stress caused by CTE mismatch of the semiconductor chip package. Furthermore, both the central substrate and the peripheral substrate are mechanically and electrically connected to the interconnection substrate such that the semiconductor chip can be electrically connected to the peripheral substrate through the central



四、中文發明摘要 (發明名稱：半導體晶片封裝構造及其製造方法)

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR CHIP PACKAGE AND METHOD FOR MANUFACTURING THE SAME)

substrate and the interconnection substrate. The present invention further provides a method for manufacturing the semiconductor chip package.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

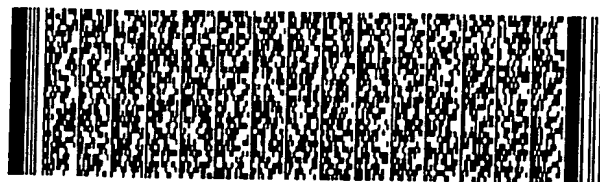
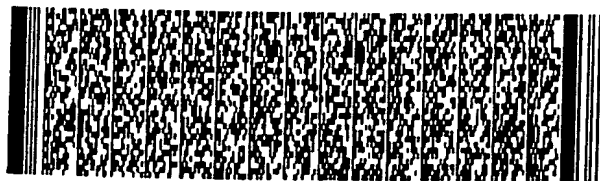
【發明所屬之技術領域】

本發明係有關於一種半導體晶片封裝構造及其製造方法。

【先前技術】

積體電路（或稱晶片）封裝技術逐漸成為發展更高效能之封裝積體電路的限制因素。封裝構造的設計者一直掙扎於追趕接腳數(pin count)的增加、尺寸限制、低側面接著限制(profile mounting constraint)以及其他對於封裝以及接著積體電路逐漸發展出的要求。目前常用的一種封裝以及封裝構造接著的方式，係為球格陣列封裝構造，在此種封裝構造中具有複數個陣列排列之錫球鐸墊（用以與錫球接合）形成於該封裝構造上。在該封裝構造上的導電引線或是線路將該錫球鐸墊連接於與該封裝構造中用以與積體電路（或稱晶片）連接的打線接合墊(wire bonding pad)。有複數個陣列排列之對應錫球鐸墊係形成於一要被該已封裝之晶片接著並且連接之印刷電路板上。錫球係形成於該封裝構造或該印刷電路板的錫球鐸墊上，並且經加熱融化（回鐸）該錫球使得該封裝構造鐸接於該印刷電路板。

所有利用錫球將已封裝之晶片導電性地接合於一個主要印刷電路板的球格陣列封裝構造，都容易受到因溫度變動以及組成該球格陣列封裝構造之元件熱膨脹係數不一致造成的損壞（特別是疲勞損壞）之影響。更具體地說，當球格陣列封裝構造從錫球回鐸的溫度冷卻或是在使用過程中



五、發明說明 (2)

與室溫進行溫度交換，該封裝構造不同部分的膨脹係數不同故會產生不同之熱變形量，而使錫球受力。錫球與接點接合之介面處為應力集中點。尤其是，當封裝構造的接腳數增加時，從該封裝構造最遠的錫球到該封裝構造的中央點之距離(distance to the neutral point, DNP)也增加，該封裝構造的外圍錫球所受到的應力可能會使得封裝構造破裂。

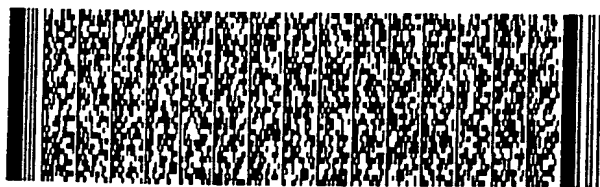
此外，在操作中當電流通過球格陣列封裝構造時，會使得該封裝構造被循環地加熱以及冷卻，這會造成額外的熱膨脹以及收縮（雖然遠少於回鐸）。這種在正常操作中循環性或是週期性的加熱和冷卻所造成的應力，若沒有適當方式消除，可能會使得該球格陣列封裝構造產生疲勞損壞。

【發明內容】

本發明之主要目的係提供一種高接腳數球格陣列封裝構造，其能有效地降低設於該封裝構造周邊之錫球因為熱膨脹係數不一致而產生之應力，藉此確保其鐸料連接可靠性(solder joint reliability)。

本發明之次要目的係提供一種散熱效率高之晶片封裝構造，使該半導體晶片所產生之熱可輕易分散至外界環境中，藉此減少該封裝構造之疲勞損壞。

根據本發明之半導體晶片封裝構造，其主要包含一連接基板、一外圍基板具有一開口、一中央基板設於該外圍基板之開口內、一半導體晶片夾設於該連接基板以及該中央



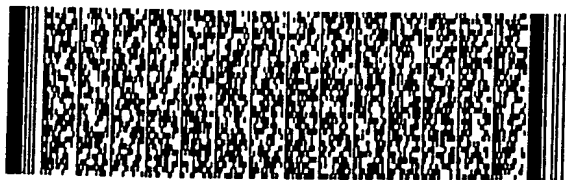
五、發明說明 (3)

基板之間以及複數個錫球分別設於該中央基板以及該外圍基板的下表面。該連接基板具有一凹槽用以容納該半導體晶片。本發明之主要特徵在於該外圍基板係與該中央基板大致分離，藉此減低因該半導體晶片封裝構造之熱膨脹係數不一致而產生之應力對該封裝構造之影響。

更具體地說，該中央基板具有複數個第一以及第二接墊於其一上表面上，該第一接墊係用以與該半導體晶片形成機械性以及電性連接，並且該第二接墊係電性連接於該第一接墊。該中央基板的下表面設有複數個中央錫球並且經由該中央基板的之導電線路電性連接於該第一接墊。

本發明之另一特徵在於該中央基板與該外圍基板皆藉由複數個錫球與該連接基板機械以及電性連接，因此該半導體晶片可經由該中央基板以及該連接基板電性連接到設於該外圍基板下表面之錫球。更具體地說，該外圍基板具有複數個接墊於其上表面。該複數個錫球係經由該外圍基板的接墊以及該中央基板的第二接墊電性連接於該半導體晶片。

本發明之連接基板可包含一頂板（較佳為一散熱片）以及一介電層。該介電層具有一開口對應於該連接基板之凹槽，且該介電層之下表面具有複數個接墊。該介電層固接於該頂板藉此形成前述之具有凹槽之連接基板。本發明之半導體晶片係設於該連接基板的凹槽中且固接於該凹槽之底部，形成一種高散熱型的cavity-down的封裝構造。此外，本發明之半導體晶片係以覆晶方式與該中央基板連



五、發明說明 (4)

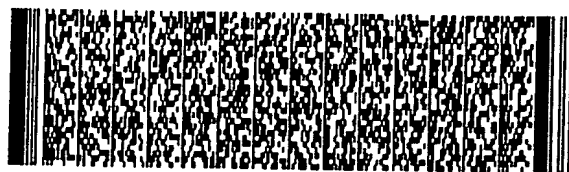
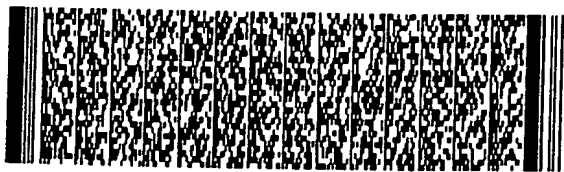
接。

本發明另提供一種製造該半導體晶片封裝構造的方法。首先，將一半導體晶片機械性地以及電性連接於一主要基板之上表面。然後，將該半導體晶片固接於一連接基板之凹槽。接著，將該主要基板機械性地以及電性連接於該連接基板。最後，切割該主要基板使得該主要基板形成一中央基板以及一外圍基板，其中該半導體晶片係設於該中央基板。較佳地，於切割該基板之步驟之前，於該主要基板上形成複數個錫球。根據本發明之一實施例，係在該半導體晶片與該主要基板連接之後，該半導體晶片固接於該連接基板之前，於該主要基板之下表面形成複數個錫球。

此外，根據本發明另一實施例，在連接該主要基板與該連接基板步驟之前，形成複數個錫球於該連接基板之下表面凹槽周圍的複數個接墊上，並且在連接該主要基板與該連接基板步驟中利用回鉚該錫球的方式連接該主要基板與該連接基板。

本發明所提供之半導體晶片封裝構造其外圍錫球係設於與中央基板分隔之外圍基板。因此，當該封裝構造受到熱的作用時，因封裝構造的構件膨脹係數不一致所致的應力（尤其是對外圍錫球產生的應力）能得到抒解。此外，由於設置在該外圍基板的錫球可經由該連接基板以及該中央基板與該半導體晶片電性連接，因此不致因外圍基板與中央基板分隔而限制該封裝構造對外連接的錫球數。

本發明所提供之半導體晶片封裝構造係採用高散熱效率



五、發明說明 (5)

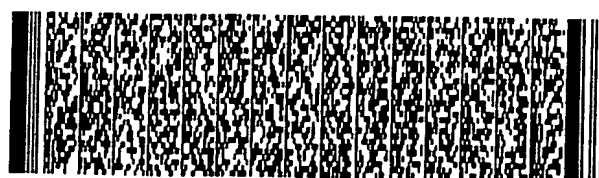
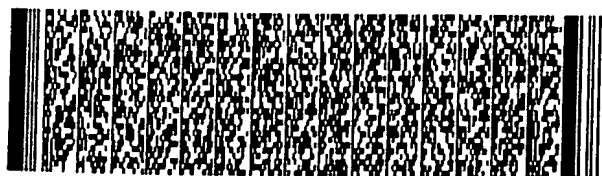
的cavity-down封裝構造，即是該半導體晶片的背面直接固接於一具有良好散熱效果的連接基板上，因此在使用該晶片的過程中所產生的熱能藉此快速分散至該封裝構造之外，而降低該封裝構造因受熱所受到之應力。

本發明另提供一種半導體晶片封裝構造及其基板。該封裝構造包含一基板、一晶片設於該基板之上表面以及複數個中央錫球以及外圍錫球設於該基板之下表面。該基板包含複數個晶片接墊設於該基板之上表面，用以電性連接至該半導體晶片。另外，該基板還包含複數個中央接墊和外圍接墊設於該基板之下表面以及複數個狹縫設於該中央接墊以及該外圍接墊之間用以分隔該中央接墊以及該外圍接墊。該些中央接墊係電性連接至該些晶片接墊。較佳地，該外圍錫球亦電性連接至該晶片接墊。該封裝構造之中央錫球係設在該中央接墊上，該外圍錫球係設在該外圍接墊上。此種封裝構造之基板雖然沒有完全分隔成兩個基板，然而藉由基板上的狹縫設置，亦可在中央錫球以及外圍錫球之間提供一應力緩衝區域幫助減少因為溫度變化所產生應力。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯特徵，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

【實施方式】

第1圖係為根據本發明一實施例之半導體晶片封裝構造100，其主要包含一連接基板102、一中央基板104、一外



五、發明說明 (6)

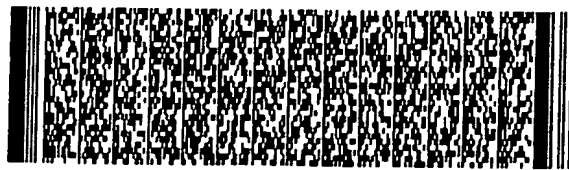
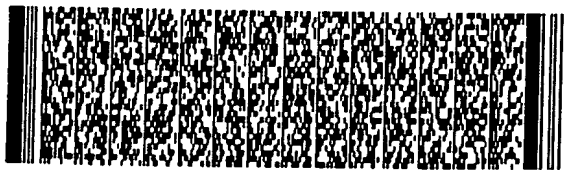
圍基板106、半導體晶片108、以及複數個中央錫球105及外圍錫球107分別設於該中央基板104以及外圍基板106的下表面。該外圍基板106具有一開口106a，該中央基板104係設於該外圍基板之開口106a內，且大致與該外圍基板106位於同一平面。

該連接基板102之下表面具有一凹槽(recessed cavity)110以及複數個接墊112形成於該凹槽110的周圍。根據本發明之實施例，該連接基板102可包含一頂板114(較佳為一散熱片)以及一介電層116。該介電層116具有一開口對應於該連接基板之凹槽110，且該介電層116之下表面具有複數個接墊112以及導電線路(未示於圖中)用以連接該些接墊112。該介電層116固接於該頂板114藉此形成前述之具有一凹槽110之連接基板102。

該中央基板104之上表面具有複數個接墊118以及120。該複數個接墊118係被區分為兩組，第一組接墊118係直接經由該中央基板104上之電路線路(未示於圖中)電性連接至該複數個中央錫球105。該接墊120係經由該中央基板104上之電路線路(未示於圖中)電性連接至相對應的第二組接墊118。

該外圍基板106與該中央基板104分離，該外圍基板106的上表面具有接墊122。

在第1圖中，該連接基板102係被錫球124固定並且電性連接至該中央基板104以及該外圍基板106。然而，用以達成該連接基板102與該中央以及外圍基板104和106之連接



五、發明說明 (7)

的構件並不只限於錫球，另外還可使用柱狀錒錫突塊或異方性導電膠層(anisotropic conductive adhesive film (ACF))。

半導體晶片108係設於該連接基板102的凹槽110中，並且利用一膠層126固著於該連接基板的下表面上。該半導體晶片亦以覆晶的方式（例如藉由複數個錫球128）與該中央基板104機械性以及電性連接，藉此將該半導體晶片之晶片錒墊108a直接電性連接於該中央基板104的接墊118。

此外，倘若晶片的厚度係小於該連接基板102之頂板114與該中央基板104之間的距離，該封裝構造100可另外包含一金屬板130設於連接基板102與該晶片108之間。

複數個外圍錫球107係設於該外圍基板106的下表面，係經由該外圍基板106上之電路佈局（未示於圖中）電性連接至相對應的接墊122，然後再經由錫球124與連接基板102上之接墊112及電路佈局（未示於圖中）電性連接至中央基板104上相對應的接墊120，最後再經由中央基板104上之電路佈局（未示於圖中）以及第二組接墊118電性連接於該半導體晶片108。

本發明所提供之半導體晶片封裝構造其外圍錫球係設於與中央錫球所設之中央基板分隔之外圍基板。因此，當該封裝構造受到熱的作用時，因封裝構造的構件膨脹係數不一致所致的應力（尤其是對外圍錫球產生的應力）能得到抒解。此外，由於設置在該外圍基板的錫球可經由該連接

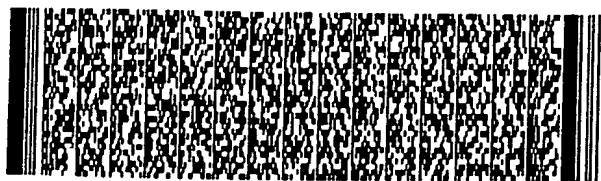
五、發明說明 (8)

基板以及該中央基板與該半導體晶片電性連接，因此不致因外圍基板與中央基板分隔而限制該封裝構造對外連接的錫球數。

本發明所提供之半導體晶片封裝構造係採用高散熱效率的cavity-down封裝構造，即是該半導體晶片的背面直接固接於一具有良好散熱效果的連接基板上，因此在使用該晶片的過程中所產生的熱能藉此快速分散至該封裝構造之外，而降低該封裝構造因受熱所受到之應力。

為了更進一步提高該半導體封裝構造的散熱效率，如第2圖所示，亦可在該半導體封裝構造100的頂板上加設背鰭式散熱器202或是風扇204。

本發明另提供一種製造前述半導體晶片封裝構造的方法。首先，參照第3a圖，將複數個錫球124形成於一連接基板102之複數個接墊112上。接著，參照第3b圖，將已經與一基板300機械性以及電性連接之半導體晶片108藉由一膠層126固接於該連接基板102上。此時，與該晶片108連接之一主要基板300係設於該連接基板102之下。較佳地，該主要基板300之下表面已設有複數個中央錫球105以及外圍錫球107。然後，將該主要基板300與連接基板102機械性地以及電性連接。較佳地，利用回錫錫球124的方式連接該連接基板102與該主要基板300。最後，切割該主要基板300使得該主要基板形成彼此分離之中央基板104以及外圍基板106（參照第3c圖）。應注意的是，該切割步驟可在該主要基板300上形成複數個狹縫，使得該中央基板104



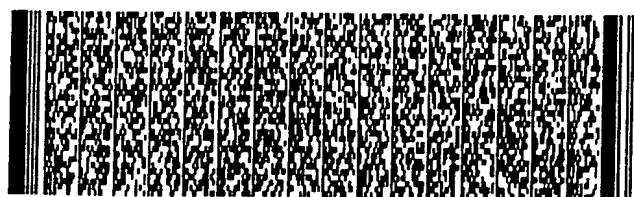
五、發明說明 (9)

或該外圍基板106僅有部分連接。

參照第4a圖，該連接基板102的製造過程包含將具有一開口之介電層116利用一不導電膠132固著於一頂板114例如一散熱片之底部，該不導電膠132可購自Toray公司之TSA-61不導電膠。該介電層116的下表面具有複數個接墊112。該接墊112之表面較佳地具有一層有機保焊劑(organic solderability preservative, OSP)或是鍍有一層鎳於該接墊表面上以及一層金於該鎳層上，藉此保護接墊112的表面不受腐蝕(corrosion)或污染，確保該接墊與錫球連接可靠度(solder-joint reliability)。另外，可將一金屬板130以導熱膠400固接於該散熱片114的底部。然後，參照第4b圖，利用錫膏網版印刷(screen print)等方式於該接墊112上形成錫球124。

參照第3b圖，在將晶片108固接於該連接基板102的步驟中，較佳係使用彈性材料(elastomeric material)例如矽膠(silicone adhesive)或可變形環氧樹脂(flexible epoxy)連接晶片108以及連接基板102。適合之矽膠係為購自General Electric Company之TC3280G。適合之可變形環氧樹脂係為購自Ablestick Laboratories之ABLEBONDR P1-8971。該彈性材料可先以液態的形式塗佈，再固化成一彈性層。藉此，所形成之膠層126可幫助吸收由於半導體晶片108與散熱片102熱膨脹係數不一致所產生之應力。

第5a-5c圖提供一種以覆晶方式將晶片108連接於基板300的方法。首先，參照第5a圖，將設有複數個錫球凸塊



五、發明說明 (10)

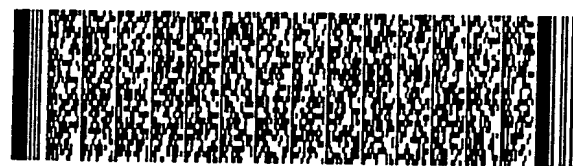
的晶片108利用回錫的方式連接於該基板300上。用以與該小錫球128連接之接墊118之表面較佳地具有一層有機保焊劑(organic solderability preservative, OSP)或是鍍有一層鎳於該接墊表面上以及一層金於該鎳層上。參照第5b圖，再以一底層填料(underfill)502密封晶片108與基板300之間之空隙。藉此可強化並且穩定該晶片108與基板300間之結合，而可增加該晶片108與基板300間之錫料連接可靠性(solder joint reliability)。根據本發明，該底層填料502係為具有較高熱傳導係數之材料，因而半導體晶片108底部所產生之熱可藉由該底層填料502快速熱傳導至中央基板104，而經由中央錫球105散熱至外界環境中。此外，該底層填料502之熱膨脹係數較佳與小錫球128之熱膨脹係數相當，因而該底層填料502可用以加強固定該錫球128並且幫助吸收因為溫度變化所產生應力。最後，參照第5c圖，於該基板300上形成複數個中央錫球105以及外圍錫球107。

本發明另提供一種半導體晶片封裝構造，如第7圖所示，該封裝構造700包含一晶片702設在一基板602之上表面（參見第6圖）上以及複數個中央錫球105與外圍錫球107設在該基板602之下表面。該基板602包含複數個晶片接墊608設於該基板602之上表面，用以電性連接至該半導體晶片702。另外，該基板602還包含複數個中央接墊606和外圍接墊610設於該基板602之下表面。該些中央接墊606係電性連接至該些晶片接墊608。較佳地，該外圍接墊

五、發明說明 (11)

610亦可藉由基板602上的電路佈線電性連接至該晶片接墊608。該基板之特徵在於具有複數個狹縫604設於該中央接墊606以及該外圍接墊610之間，用以分隔該中央接墊606以及該外圍接墊610。該封裝構造700之中央錫球105係設在該中央接墊606上，其外圍錫球107係設在該外圍接墊610上。該晶片702可以覆晶連接或是打線連接等方式設於該基板602上。封裝構造700之基板602雖然沒有完全分隔成兩個基板，然而藉由基板602上的狹縫604設置，亦可在中央錫球105以及外圍錫球107之間提供一應力緩衝區域幫助減少因為溫度變化所產生應力。可以理解的是，該基板602亦可設計成可與該晶片108以及連接基板102連接，藉此製得類似於第1圖所示之封裝構造100。

雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1圖：根據本發明一實施例之半導體晶片封裝構造之剖視圖；

第2圖：根據本發明另一實施例之半導體晶片封裝構造之剖視圖；

第3a-3c圖：根據本發明一實施例以剖視圖圖示半導體晶片封裝構造之製造方法的主要步驟；

第4a-4b圖：根據本發明一實施例以剖視圖圖示製造該連接基板的主要步驟；

第5a-5c圖：根據本發明一實施例以剖視圖圖示將該半導體晶片連接上該基板並且於基板上形成錫球的主要步驟

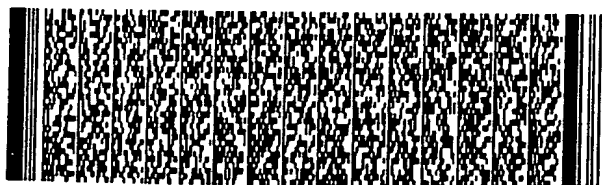
第6a圖：根據本發明一實施例之用於半導體晶片封裝構造之基板的背視圖；以及

第6b圖：根據第6a圖之基板的正視圖。

第7圖：根據本發明另一實施例之半導體晶片封裝構造之剖視圖。

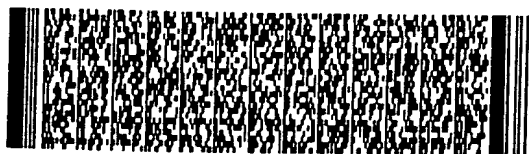
圖號說明：

100	半導體晶片封裝構造	102	連接基板
104	中央基板	105	中央錫球
106	外圍基板	106a	開口
107	外圍錫球		
108	半導體晶片	108a	晶片鉀墊
110	凹槽		
112	接墊	114	頂板



圖式簡單說明

116	介電層	118	接墊
120	接墊	122	接墊
124	錫球	126	膠層
128	錫球	130	金屬板
132	不導電膠		
202	背鰭式散熱器	204	風扇
300	基板		
400	導熱膠		
502	底層填料		
602	基板	604	狹縫
606	晶片設置區域	608	晶片接墊
700	半導體晶片封裝構造		
702	晶片		



六、申請專利範圍

1、一種半導體晶片封裝構造，其包含：

一連接基板；

一外圍基板具有一開口；

一中央基板，設於該外圍基板之開口內，且大致與該外圍基板位於同一平面，其中該中央基板以及該外圍基板係機械性以及電性連接於該連接基板；

一半導體晶片夾設於該連接基板以及該中央基板之間，該連接基板具有一凹槽用以容納該半導體晶片；

複數個中央錫球設於該中央基板的下表面並且電性連接於該半導體晶片；以及

複數個外圍錫球設於該外圍基板的下表面並且經由該連接基板電性連接於該半導體晶片；

其中該外圍基板係與該中央基板大致彼此分離，藉此減低因熱膨脹係數不一致而產生之應力對該外圍錫球之影響。

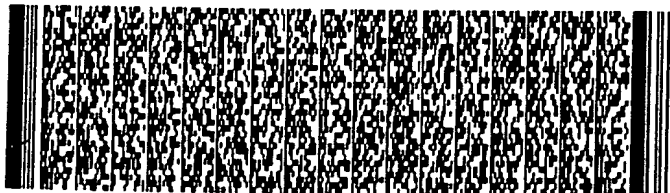
2、如申請專利範圍第1項所述之半導體晶片封裝構造，其中：

該連接基板之下表面具有複數個接墊形成於該凹槽的周圍；

該中央基板具有複數個第一以及第二接墊於其上表面，其中該第二接墊係電性連接於該第一接墊；

該外圍基板具有複數個接墊於其上表面；

該半導體晶片設有晶片鉑墊且係以覆晶連接的方式設於



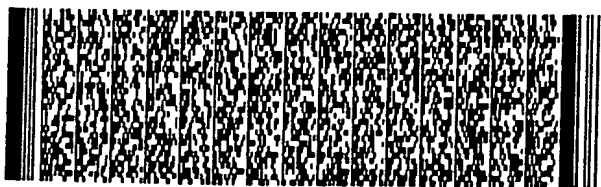
六、申請專利範圍

該中央基板的上表面，使得該半導體晶片之晶片鉑墊係電性連接於該中央基板的第一接墊；

該複數個中央錫球係經由該中央基板的第一接墊電性連接於該半導體晶片之晶片鉑墊；以及

該複數個外圍錫球係經由該外圍基板的接墊以及該中央基板的第二接墊電性連接於該半導體晶片。

- 3、如申請專利範圍第1項所述之半導體晶片封裝構造，其中該連接基板包含一頂板以及一介電層固接於該頂板，該介電層具有一開口與該頂板組合形成該連接基板之該凹槽。
- 4、如申請專利範圍第3項所述之半導體晶片封裝構造，其中該連接基板之頂板係為一散熱片。
- 5、如申請專利範圍第1項所述之半導體晶片封裝構造，其另包含一金屬板設於該半導體晶片與該連接基板之間。
- 6、如申請專利範圍第1項所述之半導體晶片封裝構造，其中該中央基板及外圍基板係藉由複數個錫球將其機械性以及電性連接於該連接基板。
- 7、如申請專利範圍第1項所述之半導體晶片封裝構造，其中該中央基板以及該外圍基板係完全彼此分離。

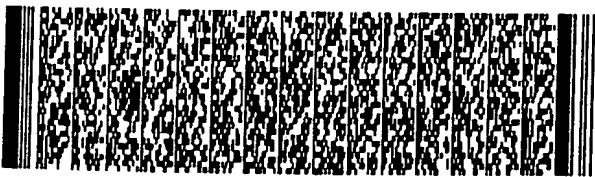


六、申請專利範圍

- 8、如申請專利範圍第1項所述之半導體晶片封裝構造，其中該中央基板以及該外圍基板係由複數個狹縫分隔，彼此僅有部分連接。
- 9、一種半導體晶片封裝構造之製造方法，其包含下列步驟：
- 將一半導體晶片機械性地以及電性連接於一主要基板之上表面；
- 將該主要基板上的半導體晶片固接於一連接基板下表面之凹槽中；
- 將該設有半導體晶片之主要基板機械性地以及電性連接於該連接基板；
- 切割該主要基板使得該基板形成大致彼此分離之一中央基板以及一外圍基板，其中該半導體晶片係設於該中央基板。
- 10、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，另包含將一具有一開口之介電層以其上表面固接於一頂板上藉此形成該具有凹槽之連接基板。
- 11、如申請專利範圍第10項所述之半導體晶片封裝構造的製造方法，其中該連接基板之頂板係為一散熱片。

六、申請專利範圍

- 12、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，另包含將一金屬板設於該半導體晶片以及該連接基板之間。
- 13、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，其中該半導體晶片係以覆晶連接的方式與該主要基板連接。
- 14、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，另包含在連接該主要基板與該連接基板步驟之前，形成複數個錫球於該連接基板之下表面凹槽周圍的複數個接墊上，並且在連接該主要基板與該連接基板步驟中利用回鉚該錫球的方式連接該主要基板與該連接基板。
- 15、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，另包含在切割該主要基板之前，形成複數個錫球於該主要基板之下表面。
- 16、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，另包含在該半導體晶片與該主要基板連接步驟之後，以及該半導體晶片與該連接基板固接步驟之前，於該主要基板之下表面形成複數個錫球。
- 17、如申請專利範圍第9項所述之半導體晶片封裝構造的



六、申請專利範圍

製造方法，其中在該切割步驟中係將該中央基板以及該外圍基板完全彼此分離。

18、如申請專利範圍第9項所述之半導體晶片封裝構造的製造方法，其中在該切割步驟中係在該主要基板上形成複數條狹縫使該中央基板以及該外圍基板彼此僅有部分連接。

19、一種用於半導體晶片封裝構造之基板，其包含：

相對之上下表面；

複數個晶片接墊設於該基板之上表面，用以電性連接至該半導體晶片；

複數個中央接墊設於該基板之下表面並且電性連接至該晶片接墊；

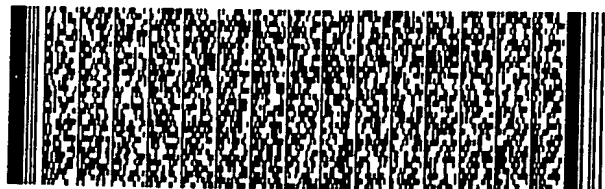
複數個外圍接墊設於該基板之下表面；以及

複數個狹縫設於該中央接墊以及該外圍接墊之間用以分隔該中央接墊以及該外圍接墊。

20、如申請專利範圍第19項所述之用於半導體晶片封裝構造之基板，其中該外圍接墊係電性連接於該晶片接墊。

21、一種半導體晶片封裝構造，其包含：

一基板，包含複數個晶片接墊設於該基板之上表面，複數個中央接墊以及複數個外圍錫球設於該基板之下表面並



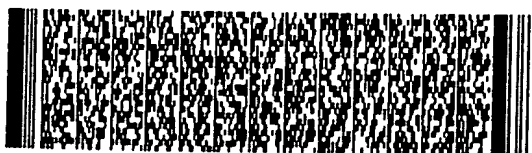
六、申請專利範圍

且電性連接於該晶片接墊，以及複數個狹縫設於該中央接墊以及該外圍接墊之間用以分隔該中央接墊以及該外圍接墊；以及

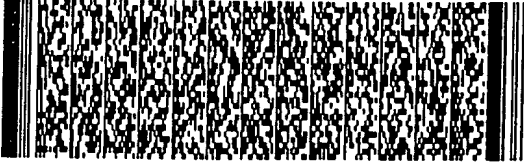
一半導體晶片設於該基板之上表面，並且電性連接至該晶片接墊。

22、如申請專利範圍第21項所述之半導體晶片封裝構造，其中該晶片係以覆晶連接的方式設於該基板。

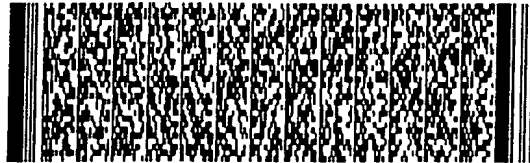
23、如申請專利範圍第21項所述之半導體晶片封裝構造，其中該晶片係以打線連接的方式設於該基板。



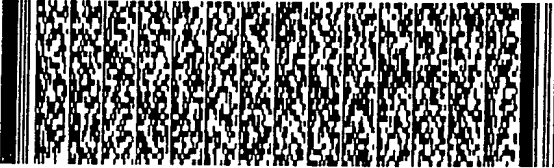
第 1/24 頁



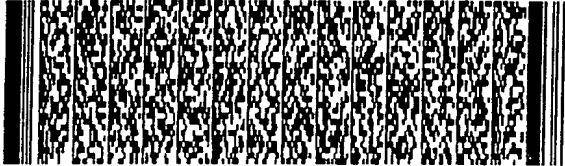
第 1/24 頁



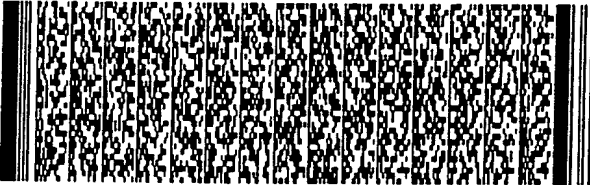
第 2/24 頁



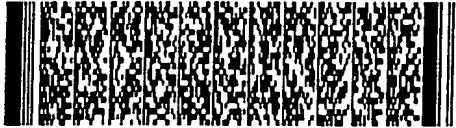
第 2/24 頁



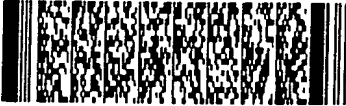
第 3/24 頁



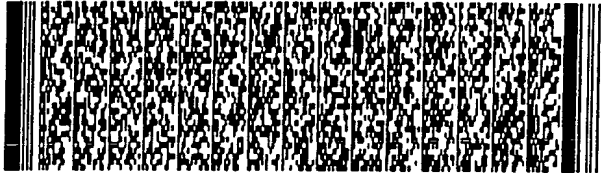
第 4/24 頁



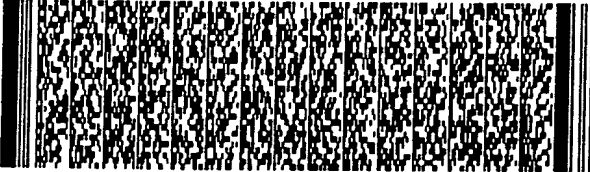
第 5/24 頁



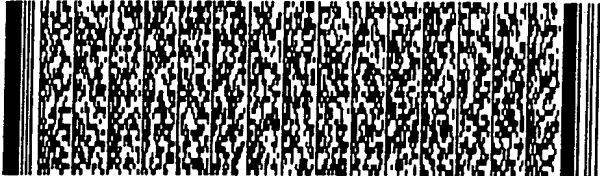
第 6/24 頁



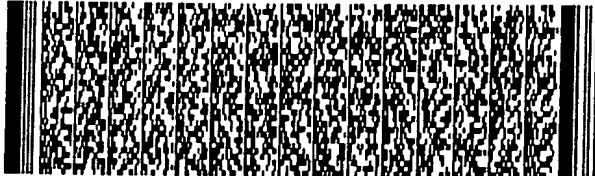
第 6/24 頁



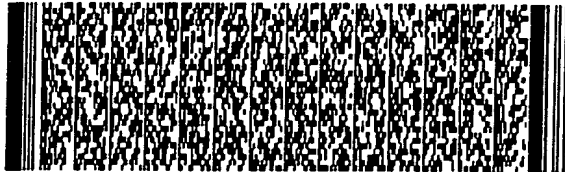
第 7/24 頁



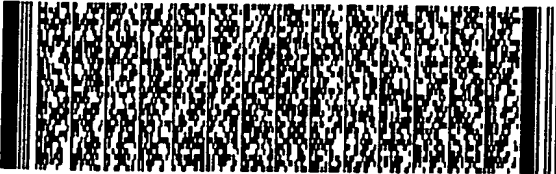
第 7/24 頁



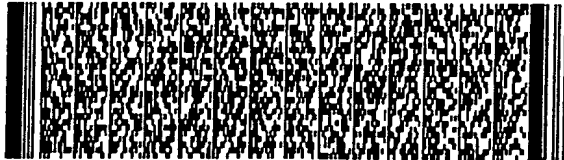
第 8/24 頁



第 8/24 頁



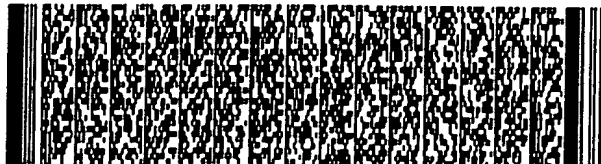
第 9/24 頁




第 9/24 頁




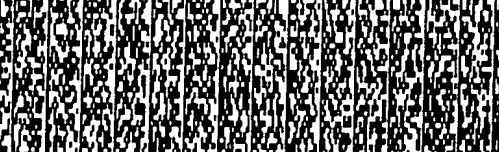
第 10/24 頁




A black and white photograph of a dense, textured surface, possibly a book cover or a piece of fabric, showing a complex, repeating pattern of dark and light areas. The pattern consists of vertical, slightly irregular bands of varying shades of gray, creating a sense of depth and movement. The overall effect is reminiscent of a close-up of a woven material or a high-resolution scan of a textured surface.



1000
 900
 800
 700
 600
 500
 400
 300
 200
 100
 0

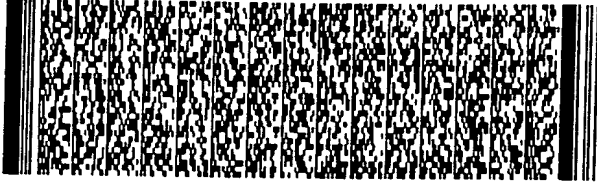


A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost crystalline or organic texture. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable figures.

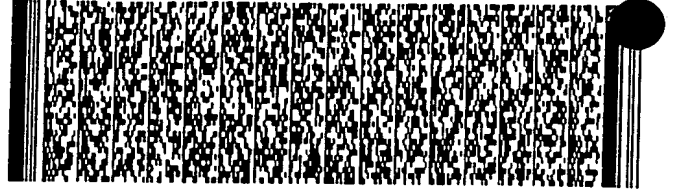


A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost crystalline or cellular appearance. The overall effect is one of intense visual noise and texture, with no discernible figures or objects.

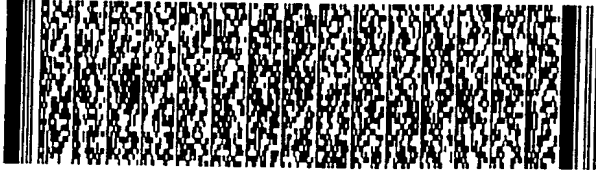
第 20/24 頁



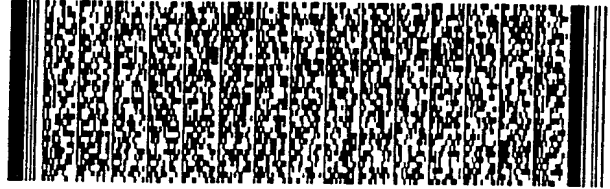
第 21/24 頁



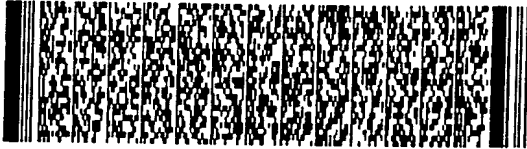
第 22/24 頁

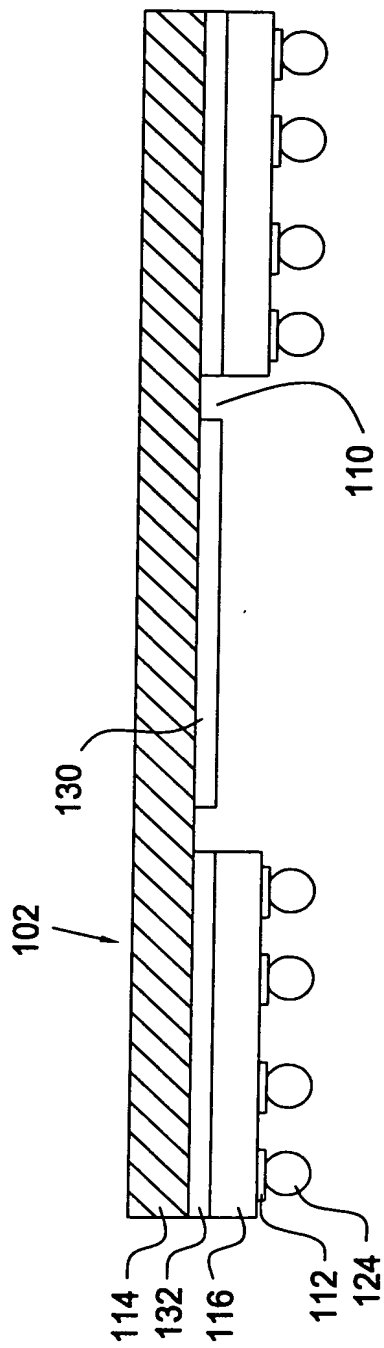


第 23/24 頁

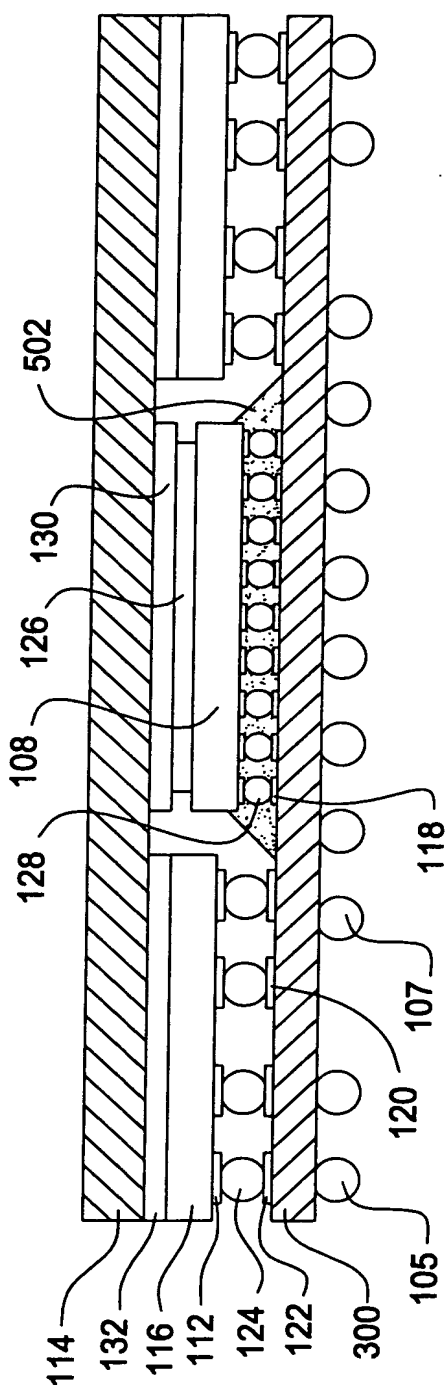


第 24/24 頁

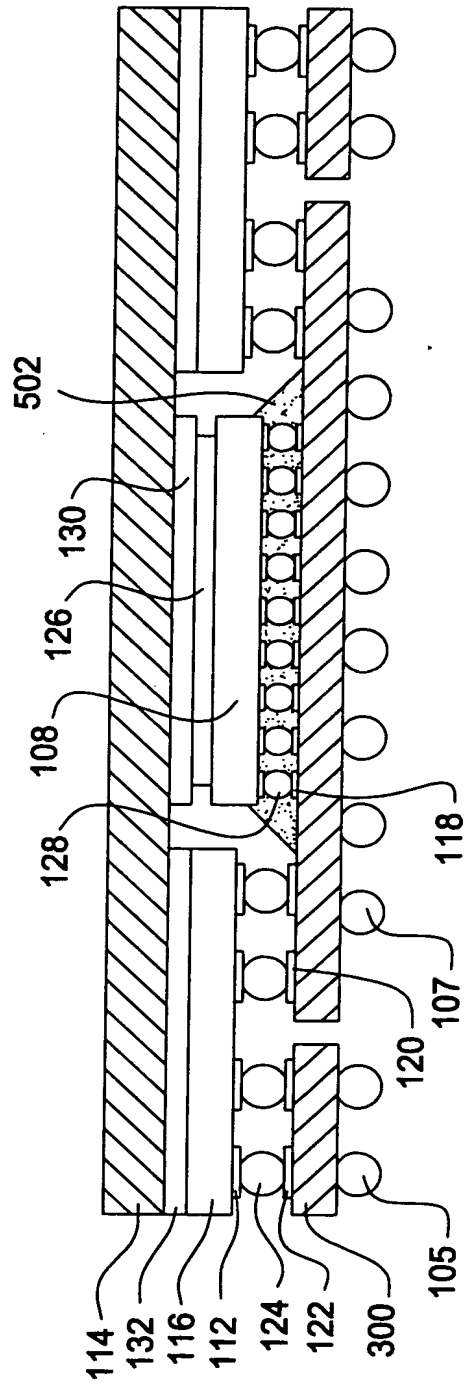




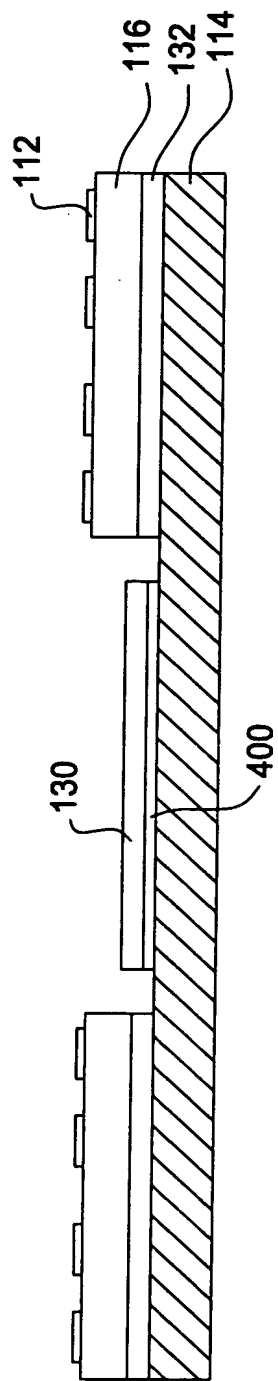
第 3a 圖



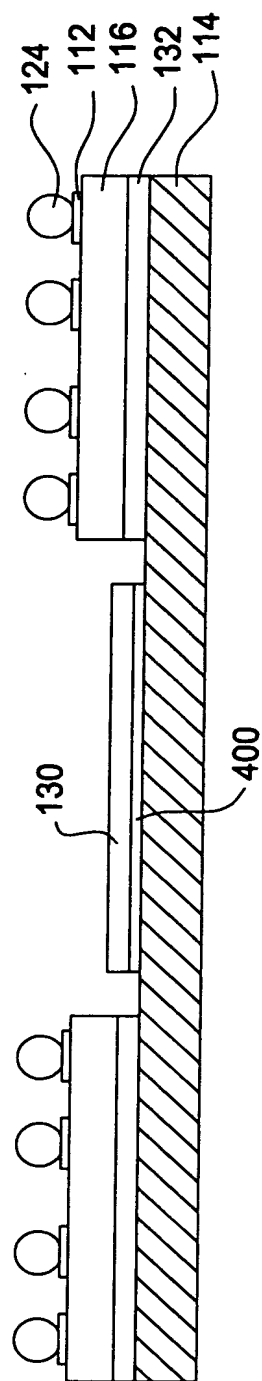
第 3b 圖



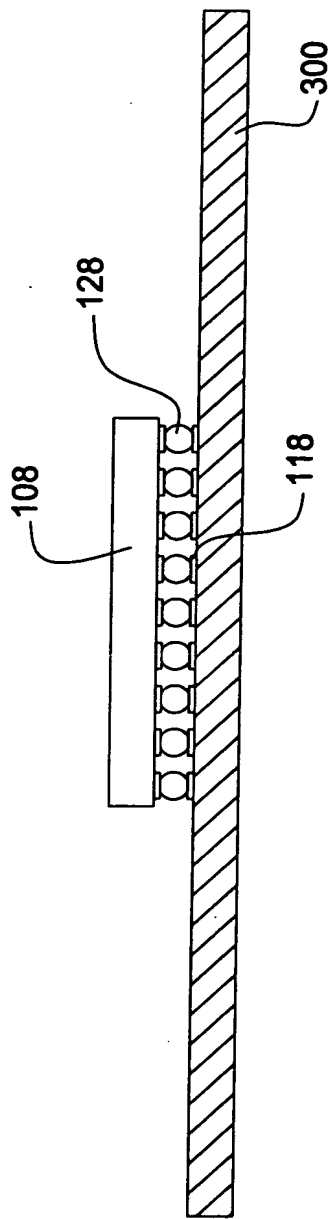
第 3C 圖



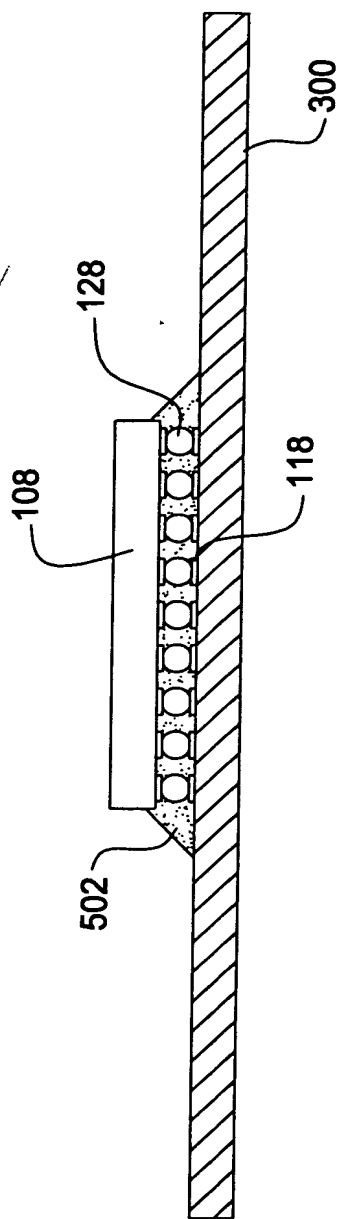
第 4a 圖



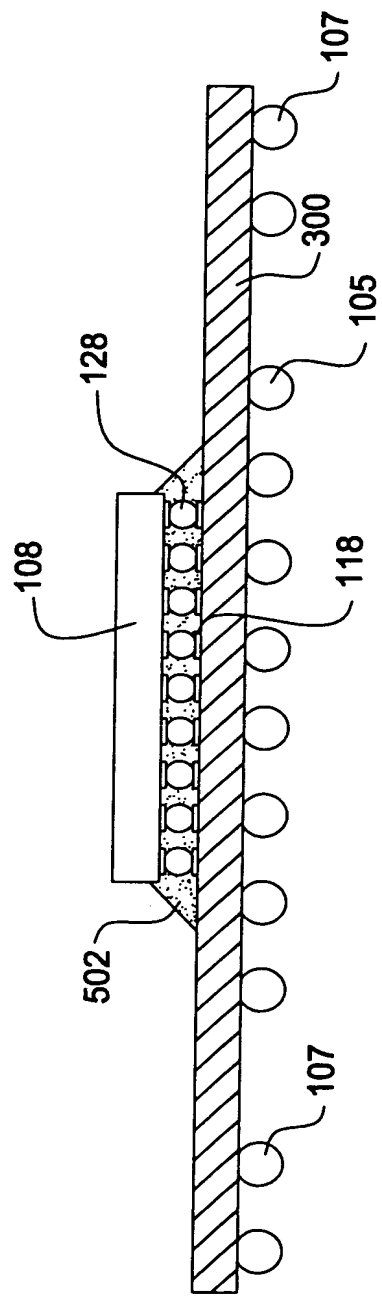
第 4b 圖



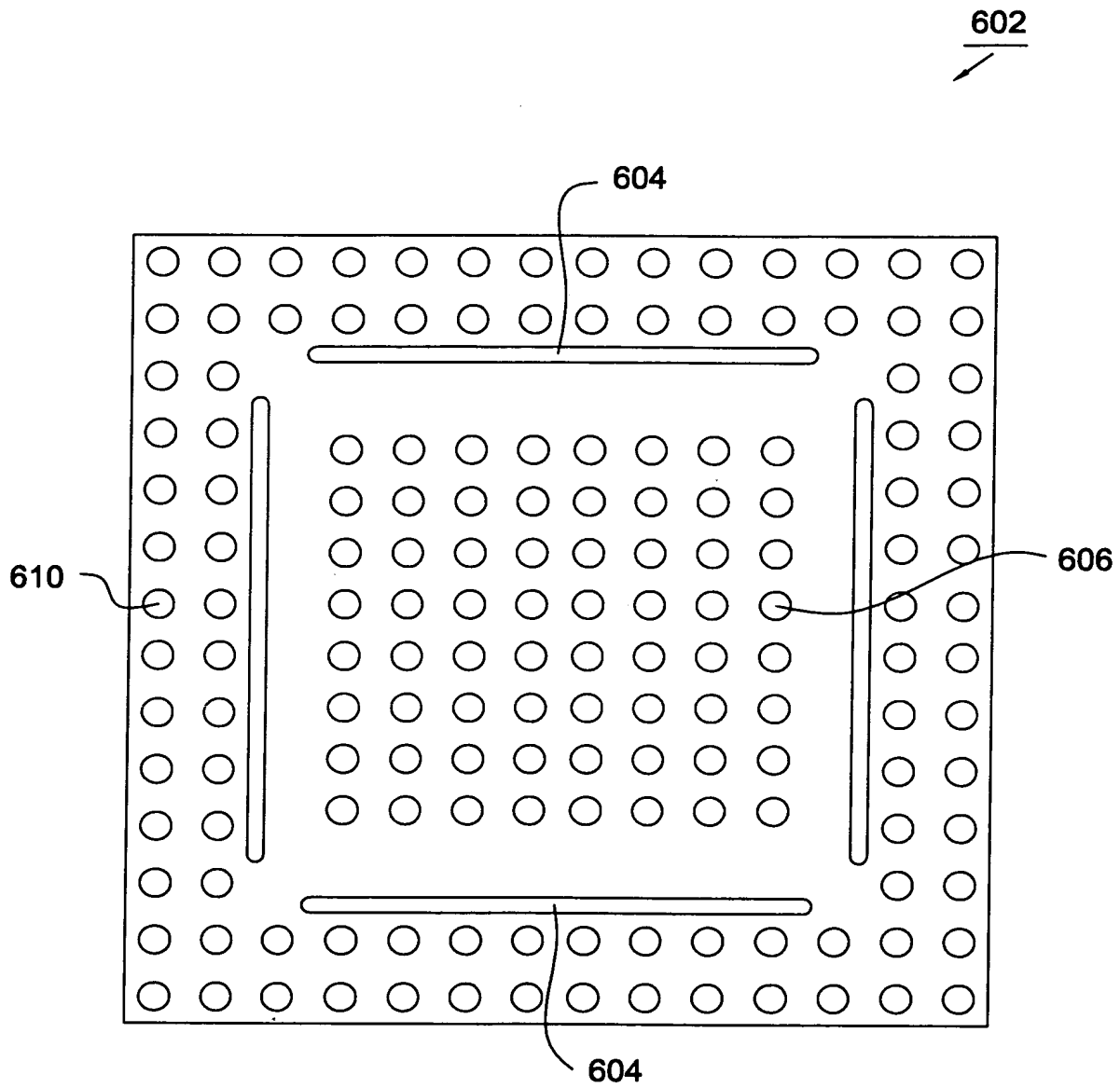
第 5a 圖



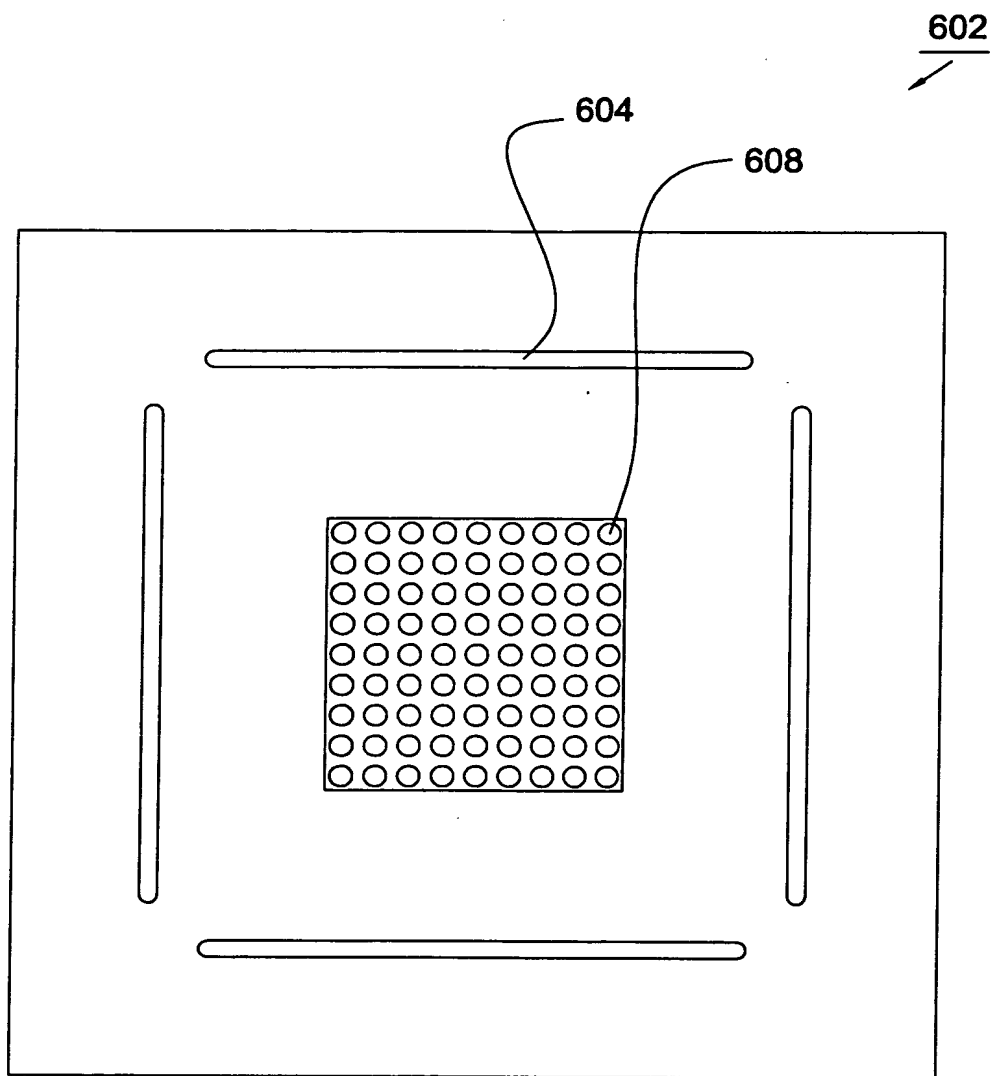
第 5b 圖



第 5c 圖

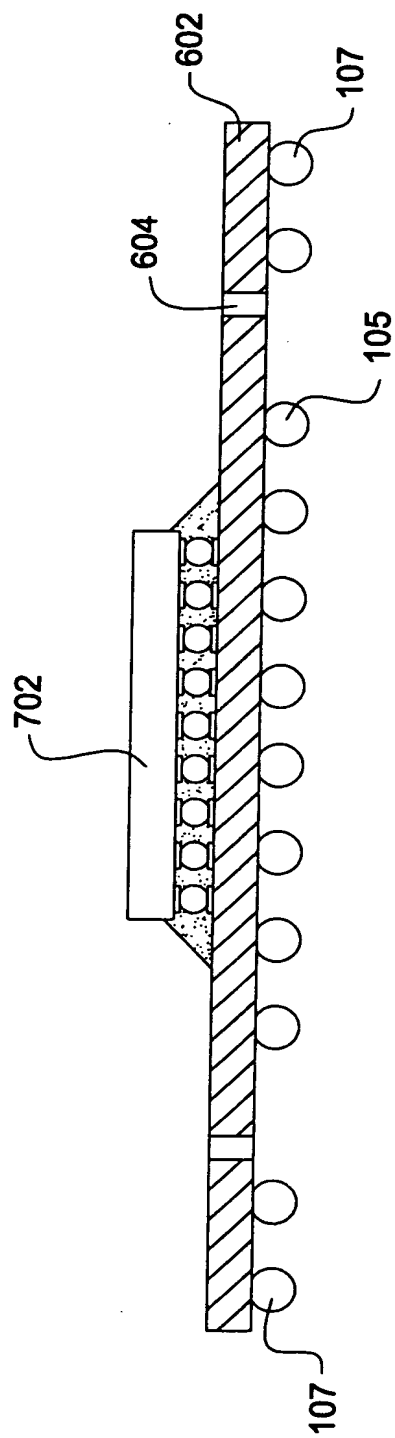


第 6a 圖



第 6b 圖

700



第7圖